

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-270156

(43)Date of publication of application : 02.12.1991

(51)Int.Cl.

H01L 21/78

(21)Application number : 02-068331

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 20.03.1990

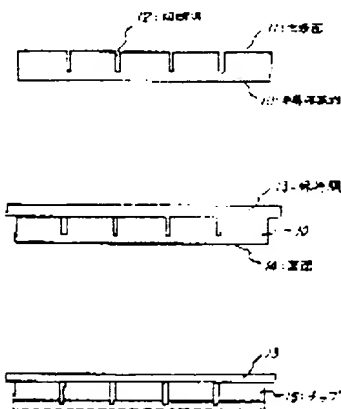
(72)Inventor : TAKAYASHIKI TETSUYA
TOMINAGA YUKIHIRO
OGUMI TAIICHI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To remove a mechanical working strain layer of a semiconductor chip and to enhance the strength of the semiconductor chip by a method wherein, in a state that the main surface of a scribed semiconductor wafer is protected, an exposed face of the semiconductor wafer is etched.

CONSTITUTION: Cut grooves 12 are formed in both the X and Y directions along grid lines from the main surface 11 of a semiconductor wafer 10 by using a diamond blade. When the semiconductor wafer 10 is 300 μ m in thickness, the cut grooves 12 are cut down to about 270 μ m. That is to say, the grooves are formed down to a halfway part and are set to a state that they are not cut completely. Then, a protective film 13 is applied to the side of the main surface 11 of the semiconductor wafer 10. Then, an etching operation is executed from the rear of the semiconductor wafer 10. In addition, the etching operation is continued by several μ m. Thereby, the semiconductor wafer 10 is divided completely into individual chips 15; also side-face parts of the individual chips 15 are etched sufficiently.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]



EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 03270156
PUBLICATION DATE : 02-12-91

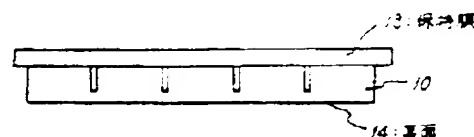
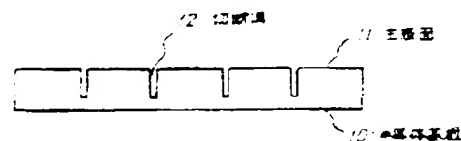
APPLICATION DATE : 20-03-90
APPLICATION NUMBER : 02068331

APPLICANT : OKI ELECTRIC IND CO LTD;

INVENTOR : OGUMI TAIICHI;

INT.CL. : H01L 21/78

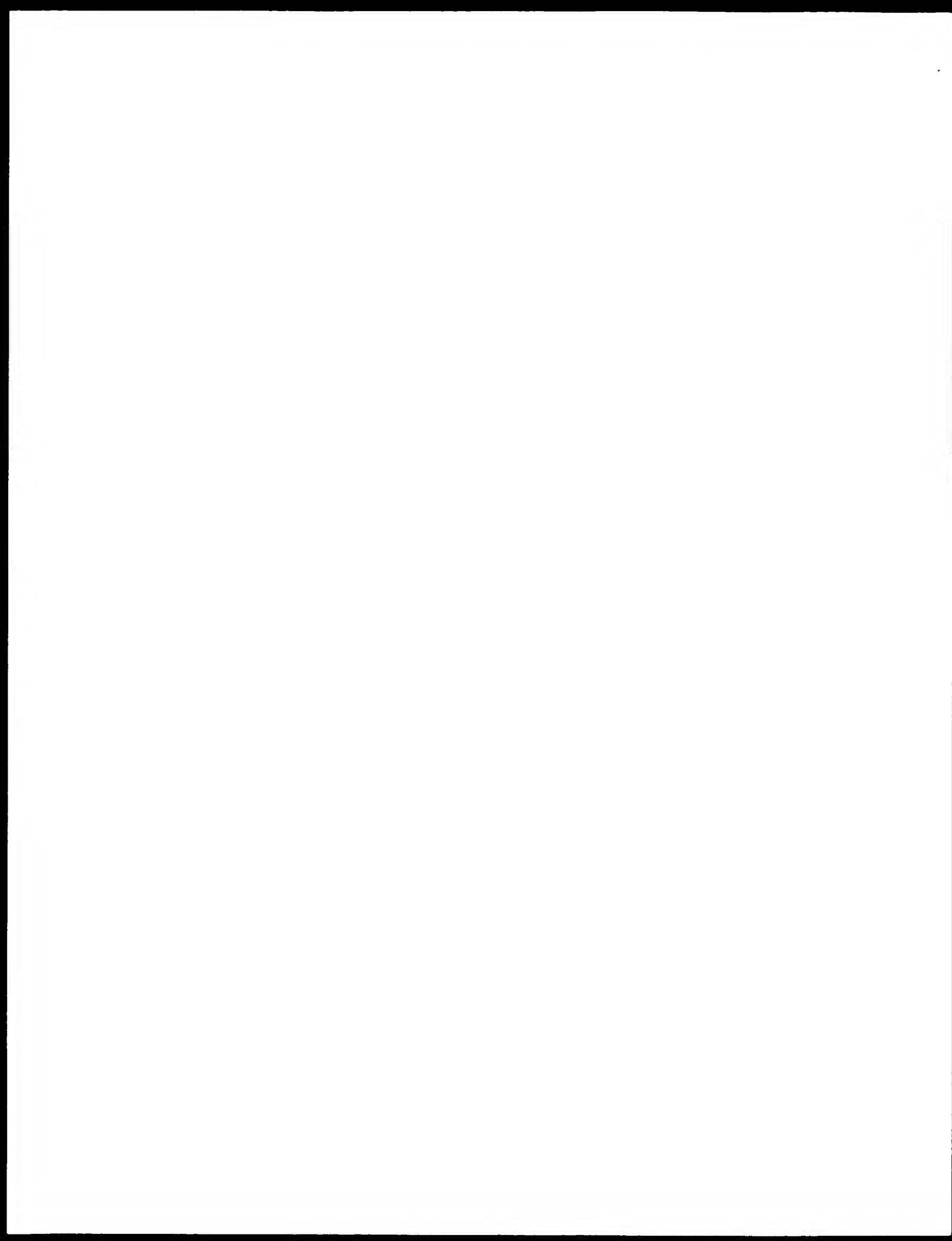
TITLE : MANUFACTURE OF
SEMICONDUCTOR DEVICE



ABSTRACT : PURPOSE: To remove a mechanical working strain layer of a semiconductor chip and to enhance the strength of the semiconductor chip by a method wherein, in a state that the main surface of a scribed semiconductor wafer is protected, an exposed face of the semiconductor wafer is etched.

CONSTITUTION: Cut grooves 12 are formed in both the X and X directions along grid lines from the main surface 11 of a semiconductor wafer 10 by using a diamond blade. When the semiconductor wafer 10 is 300 μ m in thickness, the cut grooves 12 are cut down to about 270 μ m. That is to say, the grooves are formed down to a halfway part and are set to a state that they are not cut completely. Then, a protective film 13 is applied to the side of the main surface 11 of the semiconductor wafer 10. Then, an etching operation is executed from the rear of the semiconductor wafer 10. In addition, the etching operation is continued by several μ m. Thereby, the semiconductor wafer 10 is divided completely into individual chips 15; also side-face parts of the individual chips 15 are etched sufficiently.

COPYRIGHT: (C)1991,JPO&Japio



⑨ 日本国特許庁(J.P.)

⑩ 特許出願公開

⑪ 公開特許公報(A)

平3-270156

⑫ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)12月2日

H 01 L 21/78

Q
S

6940-4M

6940-4M

審査請求 未請求 請求項の数 3 (全5頁)

⑭ 発明の名称 半導体装置の製造方法

⑮ 特 願 平2-68331

⑯ 出 願 平2(1990)3月20日

⑰ 発 明 者	高 屋 敷 哲 也	東京都港区虎ノ門1丁目7番12号	沖電気工業株式会社内
⑰ 発 明 者	富 永 之 廣	東京都港区虎ノ門1丁目7番12号	沖電気工業株式会社内
⑰ 発 明 者	小 汲 泰 一	東京都港区虎ノ門1丁目7番12号	沖電気工業株式会社内
⑱ 出 願 人	沖電気工業株式会社	東京都港区虎ノ門1丁目7番12号	
⑲ 代 理 人	弁理士 清水 守	外1名	

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1)

(a) 表面に半導体素子が形成された半導体ウエハを用意する工程と、

(b) 該半導体ウエハをスクライブする工程と、

(c) 該スクライブされた半導体ウエハの主表面を保護した状態で該半導体ウエハの露出面をエッチングする工程とを有する半導体装置の製造方法、

(2) 前記スクライブは前記半導体ウエハの主表面より底面に向かって底面が僅かに切断されていない領域を残置させ、前記エッチングは前記スクライブ工程の際残された底面部分を除去することを特徴とする請求項1記載の半導体装置の製造方法、

(3) 前記スクライブは前記半導体ウエハの主表面に保護膜を付着させた状態で裏面より裏面に向

かって行い、前記エッチングは前記分割されたウエハの露出面の酸蝕層を除去することを特徴とする請求項1記載の半導体装置の製造方法、

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、半導体装置の製造方法に係り、特に半導体ウエハを各チップに分割、切断する方法に関するものである。

(従来技術)

現在広く用いられている半導体ウエハの切断方法として、第2図に示す方法がある。

即ち、半導体ウエハ1の裏面に保護膜2を付着し、半導体ウエハ1の裏面より、ダイヤモンドブレード(図示なし)により保護膜2の一部を含む深さまで切断溝3を形成し、ダイヤモンドブレード時に保護膜2を剥げて各チップ間の距離が一定になるようにし、コレットでチップを吸着し、ダイヤモンドするようしていた。

(発明が解決しようとする課題)

しかしながら、上記した従来の方法では、以下

特開平3-270156(2)

のような欠点があった。

(1) ダイヤモンドブレードで上から荷重をかけて半導体ウエハを切断するので、その機械的衝撃により、第3図に示すように、特にチップ4の裏面側の角にクラックが入りやすい。

(2) コレットでチップを吸着し、ダイスボンドする際に、チップ側面とコレットが必ず接触するので、ダイヤモンドブレードによってチップに残留し、その強度を弱めている機械加工破砕層に影響し、チップが割れやすい。

上記した問題を解決するために、例えば特開昭61-2428号では、第1のダイヤモンドブレードの切断をチップの厚み方向の途中まで行い、引続きエッチングを行い、更に、第2のダイヤモンドブレードによる切断でチップを完全に切断するという方法をとっている。しかし、チップの最終切断には、従来と同じくダイヤモンドブレードを用いているため、チップ側面の機械加工歪層もこの方法では完全に除去できない。

また、同じく、特開昭62-14441号では、基板

(作用)

本発明によれば、上記したように、半導体装置の製造方法において、まず、基板の主表面からダイヤモンドブレードでチップの途中の深さまで切断溝を形成し、その後、基板表面に保護膜を付着させ、次に、基板裏面よりエッチングし、前記溝が現れた後、更に数 μm のエッチングを行うことにより、分離したチップを得ることができる。

従って、チップの裏面、特にエッジ(角)部に、クラックやかけ等が発生することがない。

また、チップが各々分離されてから、更に追加してエッチングを行うので、チップ側面に残留しているダイヤモンドブレードによる機械加工破砕層も除去することができる。

更に、裏面をエッチングするので、バックグラインド工程で残留したチップ裏面の機械加工破砕層をも除去することができる。

また、裏面研削時の半導体ウエハの主表面保護テープを残したまま、裏面からチップ分割のスクライブを行い、更に研削面とスクライブ面の破砕

の両面から溝を形成する方法が提案されているが、これには溝の位置合わせを必要とする等の問題がある。

本発明は、上記問題を除去し、半導体チップの機械加工歪層を除去し、半導体チップ強度の優れた半導体装置の製造方法を提供することを目的とする。

(課題を解決するための手段)

本発明は、上記目的を達成するために、半導体装置の製造方法において、表面に半導体素子が形成された半導体ウエハを用いる工程と、該半導体ウエハをスクライブする工程と、該スクライブされた半導体ウエハの主表面を保護した状態で該半導体ウエハの露出面をエッチングする工程とを施すようにしたものである。

ここで、前記スクライブは前記半導体ウエハの主表面より底面に向かって底面が僅かに切断されていない領域を残置させ、前記エッチングは前記スクライブ工程の残置された底面部分を除去するようにしたものである。

層を同時にエッチング除去することができるため、チップ強度が向上し、バラツキの少ない値を得ることができる。

(実施例)

以下、本発明の実施例について図面を参照しながら詳細に説明する。

第1図は本発明の実施例を示す半導体装置の製造工程断面図である。

まず、バックグラインドを行い、所望の厚さにした半導体(Si)基板10を用意し、第1図(a)に示すように、ダイヤモンドブレードを用いて、半導体ウエハ10の主表面11からグリンドラインに沿って切断溝12をX、Y両方向に入れる。いま、半導体ウエハ10の厚さを300 μm とした場合、切断溝12は約270 μm 程度までにする。即ち、途中まで溝を形成するが、完全には切断しない状態にしておく。

次いで、第1図(b)に示すように、半導体ウエハ10の主表面11側に保護膜(保護テープ)13を付着させる。

次に、第1図(c)に示すように、半導体ウエハ10の裏面からエッチングを行う。このエッチングは、弗酸と硝酸の混合液を用いるウェットエッチングでも、 C_2F_4 、 C_2F_6 、 SF_6 等のガスを用いるドライエッチングでもよい。ウェットエッチングを用いる場合には、 Si のエッチング速度が約 $5 \sim 10 \mu\text{m}/\text{min}$ 程度であるから、前述の切断溝12の先端は、この実施例では3〜5分程度で現れることになる。この状態でチップ同士は分離されるが、更に続けて、数 μm エッチングする。これを追加エッチングと称する。

これにより、半導体ウエハ10は各チップ15に完全に分割され、各チップ15の側面部も十分にエッチングされる。

なお、ドライエッチングの場合、例えば、 C_2F_4 、 SF_6 等のガスを用いると、半導体ウエハ10の主表面へのガスの通り込みも少ないので、特に、前記追加エッチング工程には有効である。又、このドライエッチングは、反応性スパッタといわれている方向性を持った方法よりも、中性ラジカルと加工

ドライ26の段差26'を保護テープ23の上より、例えば光学的に検知して、グリンドライン26に従って、半導体ウエハ21のバックグラインド面24より、表面保護テープ23に達するまで、ダイヤモンドブレードでチップ分割のためのスクライブを行う。

従って、半導体素子はチップ27a、27b、27c…に分割されることになるが、機械的なスクライブにより、チップ側面28に深さ $0 \sim 1.0 \mu\text{m}$ の破砕層29が発生する。

次に、第4図(c)に示すように、スクライブ完了後、例えばシリコン半導体の場合、 C_2F_4 、 C_2F_6 、 SF_6 等のガス中でプラズマエッチングを行う。このエッチングは、反応性スパッタといわれている方向性を持った方法よりも、中性ラジカルと加工材料との化学的な反応を利用したプラズマエッチング方法が等方向のエッチング特性を示すため、バックグラインド時の破砕層25及びスクライブ時における破砕層29を同時にエッチング除去する方法に通じている。このエッチング量は、

材料との化学的な反応を利用したプラズマエッチング方法が等方向のエッチング特性を示すため有効である。

第4図は本発明の他の実施例を示す半導体装置の製造工程断面図である。

まず、第4図(a)に示すように、半導体ウエハ21の半導体素子が形成された主表面22側に、裏面研削工程で半導体素子形成面を保護するために、例えば、透明で紫外線で硬化する粘着材を有する厚さ $100 \sim 500 \mu\text{m}$ の保護テープ23が貼り付けられている。半導体ウエハ21は、実装上の問題により、一般的に $200 \sim 400 \mu\text{m}$ の厚さまでダイヤモンド砥石等で機械的にバックグラインドされる。24はこの時のグラインド面であり、25はバックグラインドにより半導体ウエハ21の内部に発生した深さ $0 \sim 1.0 \mu\text{m}$ 程度の破砕層である。また、26は半導体素子分離用のグリンドラインであり、チップのスクライブはこのグリンドライン26に沿って行われる。

次に、第4図(b)に示すように、このグリンド破砕層25及び29の深さよりややオーバーした値とすることにより、ウエハグラインド面24及びチップ側面28は、破砕層のない研削面24'とチップ側面28'となる。

なお、ここでは、プラズマエッチングを用いるドライエッチング方法によって説明したが、弗酸と硝酸等の混合液で破砕層をエッチング除去するウェットエッチング方法を用いるようにしてもよい。

次に、保護テープ23の粘着材を紫外線硬化させることにより、保護テープ23から、第4図(d)に示すように、チップを27a'、27b'、27c'…に分離することができる。

このように処理した半導体ウエハのチップ強度を第5図に示すように測定する。

この図において、31は半導体チップ支持台、32は半導体チップ加圧用の針、33は試験用チップである。一般的には、スクライブ時の大きな破砕層33'を下方向にセットし、デバイス表面31'から加圧し、チップ強度を測定する。

特開平3-270156(4)

本発明によれば、第6図(c)に示すように、第6図(a)に示す従来の破砕層を除去しない場合、第6図(b)に示す従来の研削裏面の破砕層を除去した場合に比較して、半導体ウエハ研削面及び半導体チップ側面の破砕層をエッチング除去するようにしたので、半導体チップ加压時に破砕層に应力が集中することがなくなり、均一化される。このため、全体的なチップ強度が向上すると共に、第6図(b)に示すようにバックグラインドのみの破砕層除去では、発生していた2kg/チップ以下の弱いチップの発生が見られなくなった。

なお、この試験においては、半導体チップサイズ6mm×6mmで、チップ厚は270μmである。

また、本発明は上記実施例に限定されるものではなく、本発明の趣旨に基づいて種々の変形が可能であり、これらを本発明の範囲から排除するものではない。

(発明の効果)

以上、詳細に説明したように、本発明によれば、次のような効果を奏することができる。

工程断面図 第5図はスクライプされた半導体チップの破砕強度試験方法を示す図、第6図はスクライプされた半導体チップの破砕強度試験結果を示す図である。

10、21…半導体(Si)ウエハ、11、22…主表面、12…切断溝、13…保護膜、14…裏面、15、27a、27b、27c…チップ、23…保護テープ、24…グラインド面、25、29…破砕層、26…グリッドライン、28…チップ側面。

特許出願人 沖電気工業株式会社
代理人 方理士 清水 守(外1名)

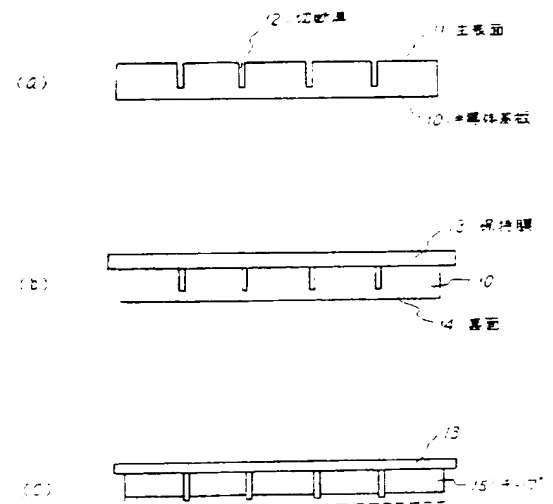
(1) 半導体チップが各々分離されてから、更に追加してエッチングを行うので、チップ側面に残留しているダイヤモンドブレードによる機械加工の破砕層が除去されることになり、チップ側面の強度の向上を図ることができる。

(2) 裏面をエッチングするようにしたので、バックグラインド工程で残留したチップ裏面の機械加工破砕層も除去されることになり、チップ全体の強度の向上を図ることができる。

(3) 裏面研削時の半導体ウエハの主表面保護テープを残したまま、裏面からチップ分割のスクライプを行い、更にバックグラインド面とスクライプ面の破砕層を同時にエッチング除去することができるため、チップ強度が向上し、バラツキの少ない値を得ることができる。

4. 図面の簡単な説明

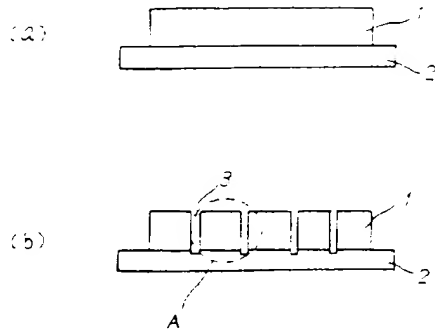
第1図は本発明の実施例を示す半導体装置の製造工程断面図、第2図は従来の半導体装置の製造工程断面図、第3図は第2図のA部拡大図、第4図は本発明の他の実施例を示す半導体装置の製造



本発明の半導体装置の製造工程断面図

第1図

特開平3-270156 (5)



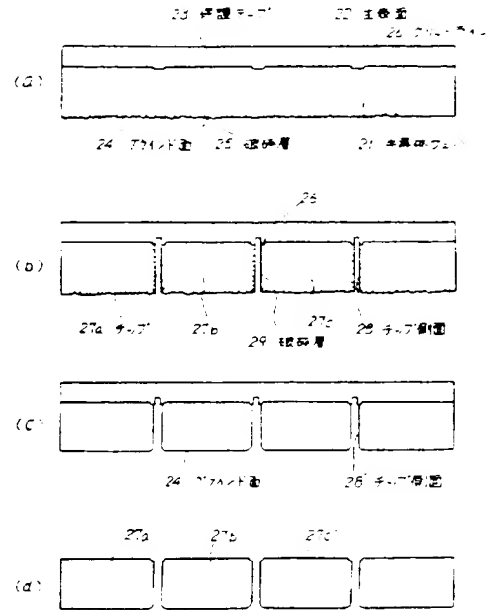
従来の半導体装置の製造工程断面図

第 2 図



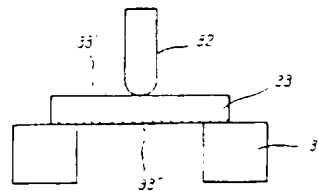
第2図の4部拡大図

第 3 図



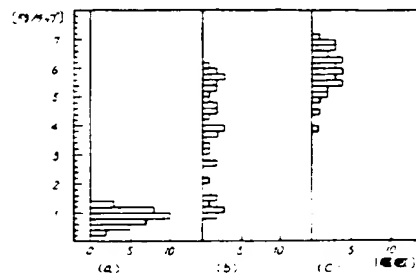
本発明の半導体装置の製造工程断面図

第 4 図



半導体チップの概略構造図

第 5 図



半導体チップの信頼性試験結果図

第 6 図

